

## **СИНХРОНІЗАЦІЯ СИСТЕМ ЗВ'ЯЗКУ НА ОСНОВІ SDR**

<sup>1</sup>Хмельницький політехнічний фаховий коледж НУ «Львівська політехніка»;

<sup>2</sup>Хмельницький національний університет

*Розвиток мобільних телекомунікацій іде шляхом збільшення продуктивності систем зв'язку, збільшення швидкості передачі інформації, розширення смуги частот, зменшення затримок. Програмно-кероване радіо (SDR) - це програмований трансивер, який підтримує різні бездротові технології без необхідності оновлення обладнання. Найкращим середовищем розробки пристроїв SDR є програмовані вентильні матриці (FPGA), оскільки вони забезпечують паралельну обробку даних. Сигнал у каналі зв'язку спотворюється під дією багатьох факторів: перетворення частоти дискретизації сигналу в передавачі і приймачі, зміщення частоти і фази сигналу у каналі зв'язку, затримка сигналу, дія білого шуму, тощо. Для зменшення впливу цих ефектів, приймач містить у своєму складі кола синхронізації. Приймач містить наступні блоки: автоматичне регулювання підсилення; корекція зміщення частоти; відновлення синхронізації символів; відновлення фази несучої частоти; демодуляція сигналу. Для забезпечення виконання критеріїв Найквіста і зменшення міжсимвольних спотворень, передавач і приймач системи зв'язку містять формуючий фільтр з характеристикою квадратного кореня з піднятого косинуса. Кола синхронізації забезпечують певний діапазон змін дестабілізуючих факторів. При виході за межі цього діапазону відбувається погіршення параметрів і якості роботи системи зв'язку. Проведене дослідження понижуючого перетворювача частоти дискретизації, отримана його частотна характеристика. Він побудований на основі півсмугових фільтрів за квадратурною схемою. Алгоритм оцінки та корекції зміщення частоти розроблений за критерієм максимальної правдоподібності. Підсистема відновлення синхронізації символів виконана на основі кола фазового автопідлаштування частоти (ФАПЧ). Основні характеристики ФАПЧ: час досягнення блокування; встановлена помилка; перехідна поведінка та можливість відстеження; пропускну спроможність. Ці варіанти залежать від сфери застосування та очікуваних умов експлуатації. Смуга пропускання повинна бути достатньою для компенсації відхилень між частотою генератора і опорним вхідним сигналом. Проведене дослідження часу, необхідного ФАПЧ для синхронізації з опорним сигналом. Визначено коефіцієнт бітових помилок та величина вектора помилок для різних зміщень частоти в каналі зв'язку. Метою статті є оцінка спотворень сигналу у HDL-реалізації системи зв'язку на базі середовища розробки Xilinx Zynq-7000.*

**Ключові слова:** модуляція; програмована вентильна матриця; мова опису обладнання; синхронізація; частота бітових помилок; величина вектора помилки; фазове автопідлаштування частоти.

### **Вступ**

Розвиток мобільних телекомунікацій іде шляхом збільшення продуктивності систем зв'язку, збільшення швидкості передачі інформації, розширення смуги частот, зменшення затримок. У каналі зв'язку виникає затримка сигналу, зміщення частоти і фази несучої. Тому приймач цифрової системи зв'язку повинен містити кола синхронізації. Синхронізація символів дозволяє знайти оптимальні моменти часу для перетворення послідовності відліків у символи. Синхронізація несучої дозволяє приймачу підлаштувати частоту і фазу гетеродину до частот і фаз прийнятого сигналу. Кола синхронізації будують на основі фазового автопідлаштування частоти (ФАПЧ), що зменшує коефіцієнт бітових помилок і покращує якість передавання інформації.

*Метою статті є оцінка спотворень сигналу у HDL-реалізації системи зв'язку на базі середовища розробки Xilinx Zynq-7000, дослідження кола фазового автопідлаштування частоти.*

### **Постановка задачі**

Термін Software Defined Radio (SDR) означає програмно-кероване радіо. Це програмований трансивер, який підтримує різні бездротові технології без необхідності оновлення обладнання. Під час розробки програми необхідно забезпечити легку міграцію з одного стандартного пристрою на

інший. Приклади таких стандартів включають LTE і LTE-advanced або 4G і 5G, тощо. SDR має справу з програмно-визначеними протоколами бездротового зв'язку, а не з апаратними рішеннями.

Існують різні підходи до розробки та реалізації модулів SDR на апаратних платформах, а саме. GPP (процесор загального призначення), DSP (процесор цифрових сигналів) та FPGA (програмувана користувачем вентилярна матриця) тощо. На рис. 1 показана структура передавача і приймача.



Рис. 1. Структурні схеми передавача (а) і приймача (б) за технологією програмно-керованого радіо (SDR)

Передавач SDR складається з таких програмних блоків: завадостійкий кодер, модулатор, обчислення оберненого швидкого перетворення Фур'є (ОШПФ), тощо. Цифрова ПЧ перетворюється на аналогову за допомогою ЦПвПЧД і ЦАП. Аналогова проміжна частота перетворюється на аналогову радіочастоту і підсилюється за потужністю перед передачею через антену в ефір. Приймач SDR зазвичай складається з малошумного підсилювача, тюнера, ЦПнПЧД та модулів обробки сигналів (обчислення швидкого перетворення Фур'є, демодулятор, завадостійкий декодер тощо). Переваги SDR:

- пропонує гнучку, реконфігуровану та програмовану структуру. Це допомагає задовольнити різні потреби різних користувачів з погляду технічних характеристик устаткування. Те саме обладнання SDR може використовуватись для різних архітектур радіосистем;
- прототипи обладнання SDR готові адаптувати будь-які майбутні оновлення та протоколи;
- оскільки можна використовувати те саме прототипне обладнання, підхід SDR призводить до менших витрат на розробку;
- це допомагає у виборі несучої частоти RF, типу модуляції, методів завадостійкого кодування, частоти дискретизації відповідно до системних вимог;
- забезпечує високий рівень продуктивності, який можна налаштувати за допомогою програмного забезпечення.

Недоліки SDR:

- поганий динамічний діапазон у деяких прототипах SDR;
- складність програмного забезпечення для підтримки різних платформ;
- архітектура SDR складається з аналогового ВЧ-інтерфейсу та цифрового інтерфейсу. Отже, важко реалізувати інтерфейс між аналоговими та цифровими модулями чи блоками;
- АЦП обмежує максимальну частоту роботи цифрової частини SDR;
- для декількох простих конструкцій радіосистем платформа SDR може бути дуже дорогою.

Нехай сигнал QAM передається через канал AWGN, комплексна огибаюча прийнятого сигналу залежить від зміщення частоти несучої та доплерівського зсуву  $F_c$  і визначається виразом:

$$r_c(t) = e^{j(2\pi F_c t + \Theta)} \sum_l w(l) h_c^{lr}(t - lT - \epsilon T) + v_c(t) \quad (1)$$

де  $w(l)$  - передані інформаційні символи,  $h_c^{tr}$  - сигнальний імпульс передавача,  $v_c(t)$  - адитивний шум, незалежно розподілений щодо вхідної послідовності символів  $w(n)$ ,  $T$  - період символу,  $\varepsilon$  - невідома нормована помилка синхронізації, що вноситься каналом. Приймаємо  $\Theta = 0$ . Після узгодженої фільтрації за допомогою  $h_c^{rec}(t)$  результуючий сигнал піддається (надлишкової) дискретизації з періодом  $T_c = T/P$ , де коефіцієнт передискретизації  $P \geq 1$  є цілим числом. Припустимо, що зміщення частоти має малі значення ( $F_e T < 0,1$ ) і запишемо еквівалентну модель системи з дискретним часом:

$$x(n) = e^{j2\pi f_e n} \sum_l w(l)h(n-lT) + v(n) \quad (2)$$

де  $f_c = F_e T_s$ ,  $x(n) = (r_c(t) * h_c^{rec}(t))_{t=nT_s}$  (\* позначає операцію згортки),  $v(n) = (v_c(t) * h_c^{rec}(t))_{t=nT_s}$ ,  $h(n) = (h_c^{tr}(t) * h_c^{rec}(t))_{t=nT_s - \varepsilon T}$ .

Оцінка  $f_e$  за  $x(n)$  у (2) зводиться до отримання комплексної експоненти, вкладеної в мультиплікативний шум  $\sum_l w(l)h(n-lP)$  і адитивний шум  $v(n)$ . Основна ідея оцінки зміщення частоти полягає в тому, щоб представити прийнятий сигнал як суму кількох гармонік постійної амплітуди, вбудованих у шум, та отримати зміщення частоти з частот цих спектральних ліній.

### Результати дослідження

На рис. 2 показана Simulink model підсистеми приймача. Приймач містить наступні блоки:

- Automatic Gain Control (AGC) потрібний для нормалізації потужності сигналу приймача.
- Frequency Offset Correction оцінює зміщення частоти і коригує його. Підсистема містить приймальний фільтр з характеристикою піднятого косинуса.
- Timing Recovery - передискретизує вхідний сигнал відповідно до відновленого строба синхронізації. Це дозволяє виділяти символи в оптимальні моменти часу.
- Magnitude and Phase Recovery - виконує виявлення пакетів, точну корекцію фази та амплітуди
- Demodulate — демодулює сигнал, виділяючи біти з комплексних модульованих символів.

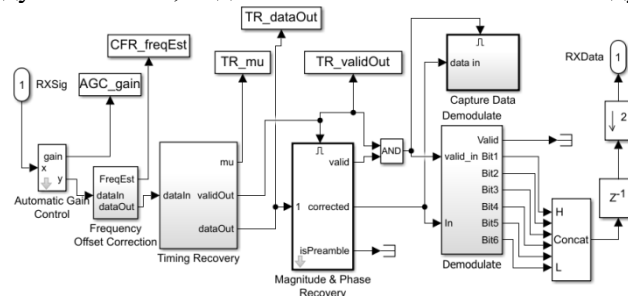


Рис. 2. Модель Simulink приймача

AGC підтримує амплітуду на вході підсистеми компенсації частоти в діапазоні від -1 до 1.

Підсистема Frequency Offset Correction робить оцінку на основі вихідних даних фільтра з характеристикою піднятого косинуса.

Підсистема Timing Recovery реалізує коло фазового автопідлаштування частоти (ФАПЧ) для виправлення помилки синхронізації в прийнятому сигналі, як показано на рис. 3. Підсистема відновлення синхронізації генерує одну вихідну вибірку для двох вхідних відліків.

Блок управління інтерполяцією реалізує лічильник зі зменшенням за модулем 1, для генерації керуючого сигналу, що полегшує вибір інтерполянтів фільтра інтерполяції [1-4]. Цей сигнал керування також включає детектор помилки синхронізації (TED), так що він обчислює помилки синхронізації в правильні моменти часу. Підсистема управління інтерполяцією оновлює різницю у часі для фільтра інтерполяції, генеруючи інтерполянти в оптимальні моменти дискретизації.

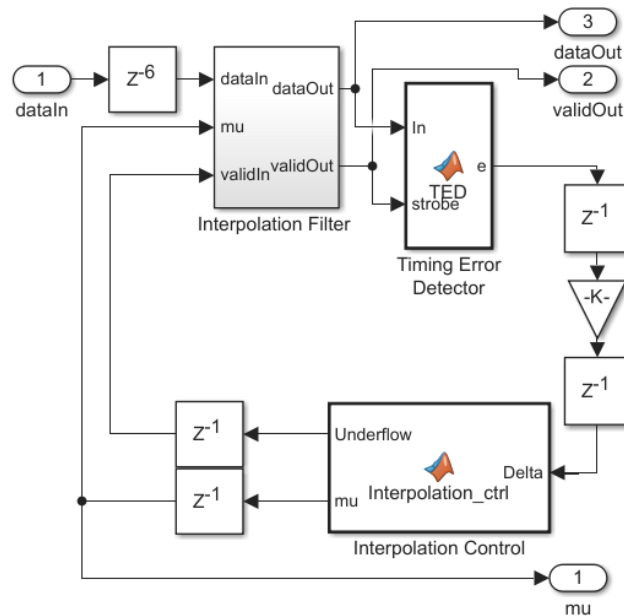


Рис. 3. Модель Simulink підсистеми відновлення синхронізації

Інтерполяційний фільтр – це параболічний фільтр Фарроу. Інтерполяційний фільтр вводить дрібну затримку сигналу, щоб компенсувати помилку синхронізації. Дробова затримка керується вхідним сигналом  $\mu$ . Коли помилка синхронізації (затримка) досягає меж символу, у вихідних даних з'являється один зайвий або відсутній інтерполянт. Детектор помилок синхронізації [5-8] реалізує вставку або пропуск бітів для обробки додаткових або відсутніх інтерполянтів.

Підсистема Magnitude and Phase Recovery виконує синхронізацію пакетів, точне відновлення частоти та точне відновлення амплітуди.

Проведемо дослідження кола фазового автопідлаштування частоти (ФАПЧ), Simulink модель якого зображена на рис. 4.

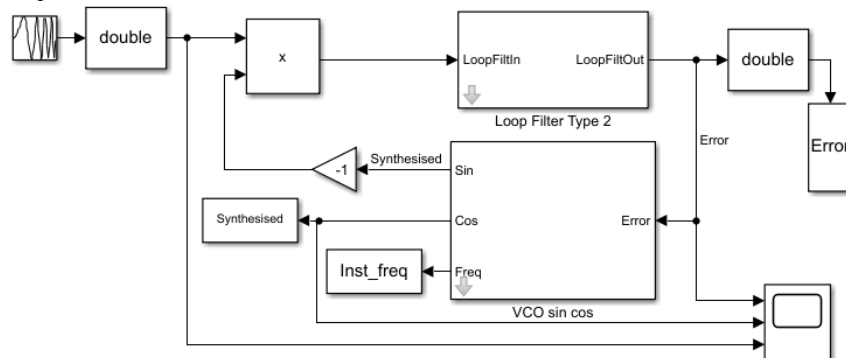


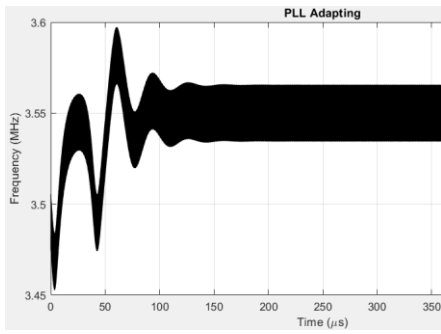
Рис. 4. Simulink модель кола ФАПЧ з контурним фільтром типу 2

ФАПЧ має встановлений режим, коли сигнал, що генерується ФАПЧ, досягає тієї ж частоти, що і вхідний опорний сигнал. Можна визначити ключові характеристики ФАПЧ:

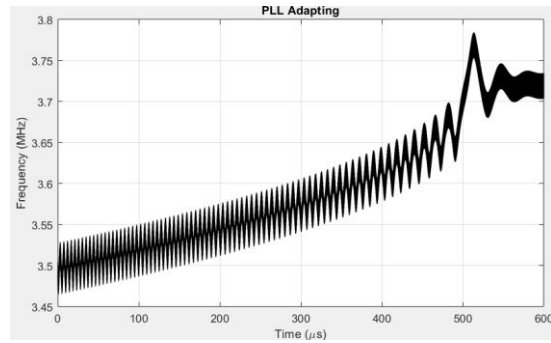
- час досягнення блокування;
- встановлена помилка;
- перехідна поведінка та можливість відстеження;
- пропускна спроможність.

Ці варіанти залежать від сфери застосування та очікуваних умов експлуатації. Смуга пропускання повинна бути достатньою для компенсації відхилень між частотою генератора і опорним вхідним сигналом [9-11]. Час, необхідний ФАПЧ [8] для синхронізації з опорним сигналом, є важливим чинником, особливо у системах зв'язку. Чим більше часу потрібно для досягнення блокування, тим більша довжина преамбули.

На час досягнення синхронізації впливає конструкція ФАПЧ, а також різниця у частоті між вхідним опорним сигналом та частотою спокою ГКК. На рис. 5 показано два приклади поведінки ФАПЧ (рис.4) у міру адаптації. Частота спокою  $f=3,5$  МГц. Чутливість ФАПЧ 1 МГц/В.



а)



б)

Рис. 5. Залежність зміни частоти на виході ГКН від часу для ФАПЧ типу 2 (а – вхідна частота  $f=3,55$  МГц; б – вхідна частота  $f=3,72$  МГц)

При зміні частоти вхідного сигналу від 3,55 МГц до 3,72 МГц, час досягнення захоплення ФАПЧ змінюється від близько 150 мкс до близько 600 мкс, тобто при збільшенні частоти на 5%, час досягнення захоплення збільшується майже у чотири рази.

Смуга пропускання задається відповідно діапазону частот, в якому працює ФАПЧ з мінімізацією шуму. ФАПЧ з ширшою смугою пропускання може справлятися з більшими відхиленнями між частотою спокою ГКК та вхідним опорним сигналом [9]. Тобто, ФАПЧ може успішно адаптуватися у ширшому діапазоні частот. З іншого боку, широка смуга пропускання дозволяє більшій кількості шуму проникати в систему ФАПЧ, що погіршує чистоту синтезованої синусоїди.

Simulink модель дослідження ЦПнГЧД приведена на рис. 5. Він побудований на основі півсмугових фільтрів. Прийнятий сигнал має комплексний тип даних і обробляється за допомогою квадратурної схеми, яка приведена на рис. 6.

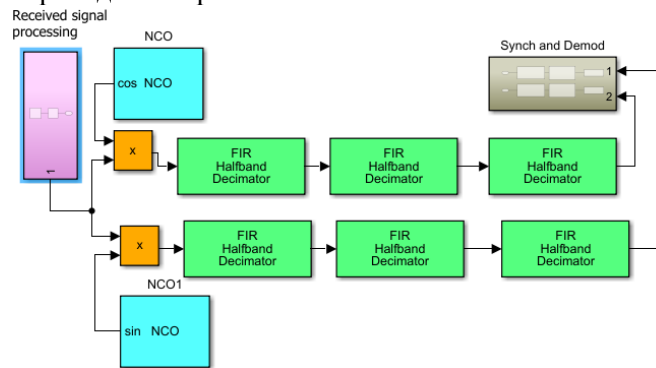


Рис. 6. Simulink модель цифрового понижуючого перетворювача частоти дискретизації

Частота дискретизації 61,44 млн вибірок в секунду (MSPs). DDC коригує частотне зміщення і проріджує вибірки на вісім (до 7,68 MSPs) за допомогою півсмугових фільтрів. Вихід DDC є входом до підсистеми синхронізації і демодуляції. Частотна характеристика DDC представлена на рис. 7.

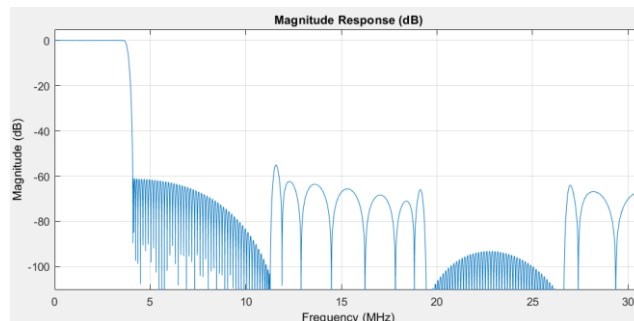


Рис. 7. Частотна характеристика DDC

Півсмуговий КІХ фільтр описується наступними рівняннями:

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k)$$

$$H(z) = \sum_{k=0}^{N-1} h(k)z^{-k},$$

де  $h(k)$ ,  $k = 0, 1, \dots, N-1$  - коефіцієнти імпульсної характеристики,  $H(z)$  - передаточна функція фільтра,  $N$  - довжина фільтра, тобто число коефіцієнтів фільтра. Половина коефіцієнтів півмугового фільтра дорівнює нулю, що скорочує об'єм обчислень вдвічі.

Розробка систем зв'язку на базі FPGA підтримує паралельну обробку даних і виконується за допомогою засобів підтримки проектування. Схема взаємодії засобів Xilinx приведена на рис. 8.

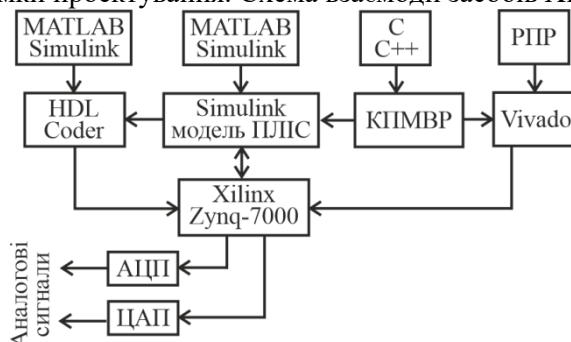


Рис. 8. Засоби підтримки проектування систем зв'язку на ПЛІС Xilinx

КПМБР – Комп'ютерне проектування за допомогою мови програмування високого рівня

Рівень передачі регістрів (PIP) - це представлення цифрової схеми на абстрактному рівні. Існує два варіанти RTL: Verilog і VHDL, в яких можна представити проєкт простою мовою введення тексту. Розробка систем з цифровою обробкою сигналів починається з розробки алгоритмів та тестування з використанням функцій MATLAB.

Для проектування використовуємо Xilinx Zynq-7000 побудований на процесорі ARM Cortex-A9, що має у складі:

- 74000 Logic Cells;
- 46200 Look-Up-Tables;
- 92400 Flip-Flops;
- 3,3 Mb Block RAM;
- 160 DSP Slices;
- тактова частота 866 МГц.

Розробка FPGA починають з складання алгоритмів блоків та тестування з використанням функцій MATLAB. Схема виконання робіт на етапах від математичного алгоритму в MATLAB до апаратно-сумісної реалізації в Simulink, а потім до VHDL-коду, показано на на рис. 9.

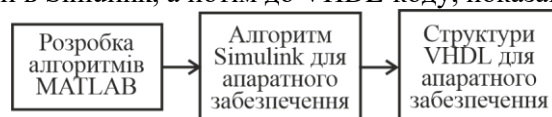


Рис. 9. Послідовність реалізації FPGA проєкту

Для FPGA має бути організована потокова передача даних. Потокова передача - це організація вхідних даних у вигляді послідовності елементів, які можуть бути оброблені за один прохід. Алгоритми потокової передачі мають доступ до обмеженого обсягу пам'яті та ресурсів FPGA. Блоки приймають та повертають дані у вигляді послідовних вибірок та керуючих сигналів. Сигнали керування вказують межі фрейму. Протокол імітує реальну систему, включаючи неактивні інтервали між вибірками та фреймами.

У Simulink використовуємо HDL-оптимізовані блоки, які полегшують апаратну реалізацію. Перевагою реалізації сучасних систем зв'язку на базі FPGA є високий рівень паралелізму обробки інформації, що суттєво підвищує продуктивність.

На рис. 10 приведена залежність BER від відношення сигнал-шум для когерентної системи зв'язку з різними значеннями зміщення частоти.

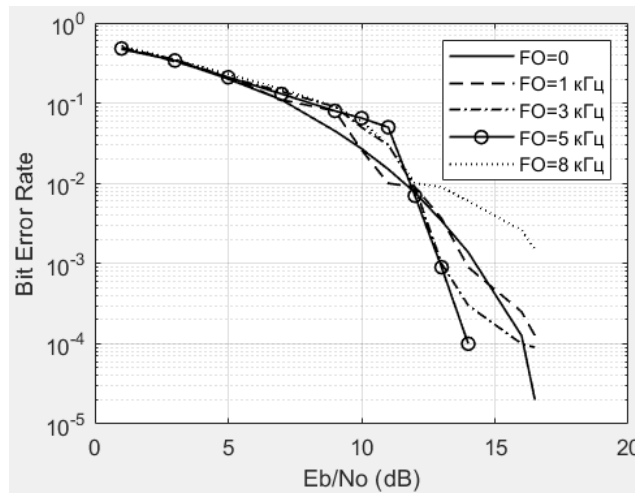


Рис. 10. Залежність BER від відношення сигнал-шум для когерентної системи зв'язку з модуляцією QAM і різними значеннями зміщення частоти

З отриманих результатів можна зробити висновок, що кола синхронізації [9] дозволяють компенсувати введене зміщення частоти в діапазоні від 1 до 8 кГц, однак на частоті 8 кГц коефіцієнт бітових помилок змінюється у вузькому діапазоні через ефекти насичення у замкнутому колі PLL.

Проведемо дослідження показників якості відтворення сузір'я цифрової модуляції на боці приймача. EVM (величина вектора помилок) є середньоквадратичним значенням вектору помилок, розрахованого і вираженого у відсотках по відношенню до еталонного значення EVM.

EVM обчислюється різницею між значеннями еталонного та прийнятого сигналів.

Модуль вектора помилки є довжиною вектора, який з'єднує вектор опорного сигналу з вектором виміряного сигналу на комплексній площині.

$$EVM(\%) = \frac{\sqrt{\frac{1}{N} \sum_{n=0}^{N-1} I_{err}(n)^2 + Q_{err}(n)^2}}{EVM_{ref}} \times 100\%$$

де  $N$  - кількість символів;  $I_{err}$ ,  $Q_{err}$  - дійсна та уявна складові вектора помилки;

$$I_{err} = I_{ref} - I_{means}, \quad Q_{err} = Q_{ref} - Q_{means}$$

На рис. 11 приведена залежність величини вектора помилки (EVM) від відношення сигнал-шум для когерентної системи зв'язку з різними значеннями зміщення частоти.

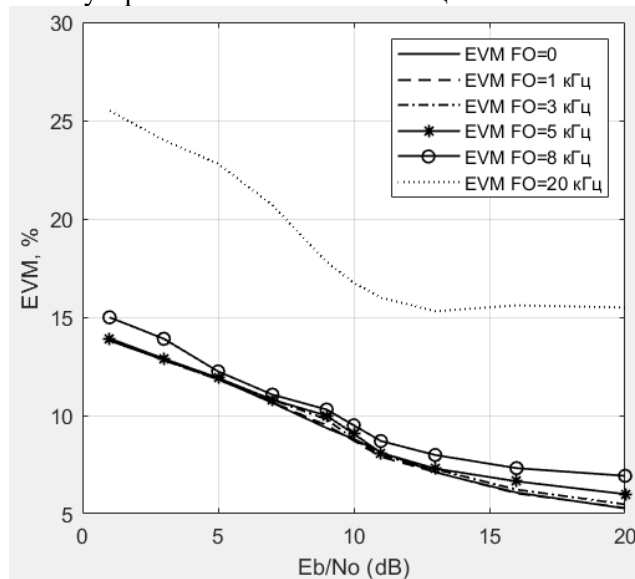


Рис. 11. Залежність Error Vector Magnitude (EVM) від відношення сигнал-шум для когерентної системи зв'язку з різним зміщенням частоти

З отриманих залежностей можна зробити висновок, що для значень зміщення частоти від 1 до 8 кГц, величина вектора помилок знаходиться на прийнятному рівні з середнім значенням менше 10% при зміні відношення сигнал-шум від 1 до 20 дБ. Більш високі значення зміщення частоти

приводять до збільшення спотворень сигнального сузір'я і високих значень величини вектора помилки.

## Висновки

Створення систем зв'язку на базі FPGA дозволяє суттєво підвищити продуктивність за рахунок алгоритмів паралельної обробки інформації. Використання Matlab і Simulink дозволяє спростити і прискорити апаратну реалізацію системи. У статті досліджено HDL-реалізацію передавача і приймача системи зв'язку. Для зменшення впливу спотворень, що вносить канал зв'язку, система містить кола синхронізації: корекція зміщення частоти, коло символної синхронізації і синхронізації несучої. З отриманих результатів можна зробити висновок, що застосування кіл синхронізації дозволяє зменшити вплив спотворень сигналу у каналі зв'язку і досягти прийняттого рівня бітових помилок  $BER=1e-6$ . Відбувається компенсація внесеного зміщення частоти в діапазоні від 1 до 8 кГц, однак на частоті 8 кГц коефіцієнт бітових помилок змінюється у вузькому діапазоні через ефекти насичення у замкнутому колі PLL. Проведено дослідження показників якості відтворення сузір'я цифрової модуляції на боці приймача. Для значень зміщення частоти від 1 до 8 кГц, величина вектора помилок знаходиться на прийнятному рівні з середнім значенням менше 10% при зміні відношення сигнал-шум від 1 до 20 дБ. Більш високі значення зміщення частоти приводять до збільшення спотворень сигнального сузір'я і високих значень величини вектора помилки. При зміні частоти на вході ФАПЧ на 5% від частоти спокою, час досягнення захоплення збільшується майже у чотири рази.

## СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

- [1] Proakis, J. G. Digital communications / J.G. Proakis, M. Salehi, 5<sup>th</sup> ed. - McGraw-Hill, 2001. – 1141 p.
- [2] Пятін І.С. Дослідження синхронізації цифрових систем зв'язку / Вісник Хмельницького національного університету. – 2016. - №5. – С. 175-183.
- [3] Пятін І.С. Система зв'язку з QPSK модуляцією і синхронізацією несучої / І.С. Пятін, В.В. Мішан, О.О. Кухарець // Вісник Хмельницького національного університету. - 2019. - №5. - С.211-217.
- [4] Karimi-Ghartema M. PLL Structures for Single-Phase Applications. Enhanced Phase-Locked Loop Structures for Power and Energy Applications / M. Karimi-Ghartema. - Wiley-IEEE Press, 2014, P.1-1.
- [5] Talbot D. B. A Review of PLL Fundamentals. Frequency Acquisition Techniques for Phase Locked Loops / D. B. Talbot. - Wiley-IEEE Press, 2012, P.3-15.
- [6] Berkman L. Designing a system to synchronize the input signal in a telecommunication network under the condition for reducing a transitional component of the phase error / L. Berkman, O. Tkachenko, O. Turovsky, V. Fokin, V. Strelnikov // Eastern-European Journal of Enterprise Technologies. – 2021. – V. 1. – no. 9-109. – P. 66–76.
- [7] Туровський О. Л. Оцінка можливостей підвищення ефективності роботи системи синхронізації радіотехнічного пристрою в ході стеження за несучою частотою / О. Л. Туровський // Вимірювальна та обчислювальна техніка в технологічних процесах. – 2020. – № 1. – С. 116–122.
- [8] Huang S. Low-Noise Fractional-N PLL With a High-Precision Phase Control in the Phase Synchronization of Multichips / S. Huang, S. Liu, M. Liu, J. Hu and Z. Zhu // IEEE Microwave and Wireless Components Letters. – 2018. - T. 28, N. 8. – P. 702-704.
- [9] Boiko J. Study of the Influence of Changing Signal Propagation Conditions in the Communication Channel on Bit Error Rate / J. Boiko, I.Pyatyn, L. Karpova, O. Eromenko // Data-Centric Business and Applications. – Springer, Cham, 2021. – С. 79-103.
- [10] Бойко Ю.М. Методика обробки та синхронізації сигналів у програмно-обумовлених радіосистемах з OFDM / Ю.М. Бойко, І.С. Пятін, І.Р. Пархомей // Вісник Хмельницького національного університету. - 2022. - №2. – С. 123-132.
- [11] Козловський В. В. Синтез складного розімкнутого зв'язку в системі синхронізації при умові мінімізації дисперсії фазової помилки в ході стеження за несучою частотою / В. В. Козловський, О. Л. Туровський // Вісник Хмельницького національного університету. – 2020. – С. 162 -168.

## REFERENCES

- [1] Proakis, J. G. Digital communications / J.G. Proakis, M. Salehi, 5<sup>th</sup> ed. - McGraw-Hill, 2001. – 1141 p.
- [2] Piatin I.S. Doslidzhennia synkhronizatsii tsyfrovyykh system zviazku / Herald of Khmelnytskyi national university. – 2016. - №5. – S. 175-183.
- [3] Piatin I.S. Systema zviazku z QPSK moduliatsiieiu i synkhronizatsiieiu nesuchoi / I.S. Piatin, V.V. Mishan, O.O. Kухарець // Herald of Khmelnytskyi national university. - 2019. - №5. - S.211-217.
- [4] Karimi-Ghartema M. PLL Structures for Single-Phase Applications. Enhanced Phase-Locked Loop Structures for Power and Energy Applications / M. Karimi-Ghartema. - Wiley-IEEE Press, 2014, P.1-1.
- [5] Talbot D. B. A Review of PLL Fundamentals. Frequency Acquisition Techniques for Phase Locked Loops / D. B. Talbot. - Wiley-IEEE Press, 2012, P.3-15.
- [6] Berkman L. Designing a system to synchronize the input signal in a telecommunication network under the condition



for reducing a transitional component of the phase error / L. Berkman, O. Tkachenko, O. Turovsky, V. Fokin, V. Strelnikov // Eastern-European Journal of Enterprise Technologies. – 2021. – V. 1. – no. 9-109. – P. 66–76.

[7] Turovsky O. Evaluation of possibilities to improve work efficiency systems of synchronization of a radio technical device during carrier frequency tracking / O. Turovsky // Measuring and computing devices in technological processes. – 2020. – № 1 – S. 116–122

[8] Huang S. Low-Noise Fractional-N PLL With a High-Precision Phase Control in the Phase Synchronization of Multichips / S. Huang, S. Liu, M. Liu, J. Hu and Z. Zhu // IEEE Microwave and Wireless Components Letters. – 2018. – T. 28, N. 8. – P. 702-704.

[9] Boiko J. Study of the Influence of Changing Signal Propagation Conditions in the Communication Channel on Bit Error Rate / J. Boiko, I. Pyatin, L. Karpova, O. Eromenko // Data-Centric Business and Applications. – Springer, Cham, 2021. – C. 79-103.

[10]. Boiko J. Signal processing and synchronization technique in software-defined radio systems with OFDM / J. Boiko, I. Pyatin, I. Parkhomey // Herald of Khmelnytskyi national university. - 2022. - №2. – S. 123-132.

[11]. Kozlovskiy V. V. Synthesis of a complex interconnected relationship in the synchronization system under the minimization of phase error dispersion during discontinuation / V. V. Kozlovskiy, O. L. Turovskiy // Herald of Khmelnytskyi national university. – 2020. – S.162–168.

**Пятін Ілля Станіславович** — канд. техн. наук, доцент, відділення комп'ютерної інженерії, e-mail: [ilkhmel@ukr.net](mailto:ilkhmel@ukr.net) ; ORCID: <https://orcid.org/0000-0003-1898-6755>

Хмельницький політехнічний фаховий коледж національного університету «Львівська політехніка»

**Бойко Юлій Миколайович** — д-р техн. наук, проф., професор кафедри телекомунікацій, медійних та інтелектуальних технологій, e-mail: [boiko\\_julius@ukr.net](mailto:boiko_julius@ukr.net) ; ORCID: <https://orcid.org/0000-0003-0603-7827>

Хмельницький національний університет;

**I. S. Pyatin<sup>1</sup>**  
**J. M. Boiko<sup>2</sup>**

## Synchronization of Communication Systems Based on SDR

<sup>1</sup> Khmelnytskyi Polytechnic Professional College by Lviv Polytechnic National University;

<sup>2</sup> Khmelnytskyi National University;

*The development of mobile telecommunications proceeds by increasing the productivity of communication systems, increasing the speed of information transmission, expanding the frequency band, and reducing delays. A software defined radio (SDR) is a programmable transceiver that supports various wireless technologies without the need for hardware upgrades. The best development environment for SDR devices is field-programmable gate arrays (FPGAs) because they provide parallel data processing. The signal in the communication channel is distorted under the influence of many factors: conversion of the signal sampling frequency in the transmitter and receiver, frequency and phase shift of the signal in the communication channel, signal delay, effect of white noise, etc. To reduce the impact of these effects, the receiver includes a synchronization circuit. The receiver contains the following units: automatic gain adjustment; frequency offset correction; recovery of symbol synchronization; restoration of the phase of the carrier frequency; signal demodulation. To ensure fulfillment of the Nyquist criteria and reduction of intersymbol distortions, the transmitter and receiver of the communication system contain a shaping filter with a characteristic of the square root of the raised cosine. Synchronization circles provide a certain range of changes in destabilizing factors. When this range is exceeded, the parameters and quality of the communication system deteriorate. The down-converter of the sampling frequency was studied, and its frequency characteristic was obtained. It is built on the basis of half-band filters according to the quadrature scheme. The frequency shift estimation and correction algorithm is developed according to the maximum likelihood criterion. The symbol synchronization recovery subsystem is based on a phase-locked-frequency circuit (PLL). The main characteristics of the PLL: the time to reach blocking; error detected; transient behavior and traceability; bandwidth. These options depend on the field of application and expected operating conditions. The bandwidth must be sufficient to compensate for deviations between the generator frequency and the reference input signal. The study of the time required by the PLL for synchronization with the reference signal was carried out. The coefficient of bit errors and the magnitude of the error vector for various frequency shifts in the communication channel are determined. The purpose of the article is to evaluate signal distortions in the HDL implementation of the communication system based on the Xilinx Zynq-7000 development environment.*

**Keywords:** modulation; Field-Programmable Gate Array (FPGA); Hardware Description Language (HDL); synchronization; Bit Error Rate (BER); Error Vector Magnitude (EVM); Phase-Locked Loop (PLL).

**Pyatin Ilya S.** — Cand. Sc. (Eng.), Department of Computer Engineering, Khmelnytskyi Polytechnic Professional College by Lviv Polytechnic National University, e-mail: [ilkhmel@ukr.net](mailto:ilkhmel@ukr.net); ORCID: <https://orcid.org/0000-0003-1898-6755>

**Boiko Juliy M.** — Dr. Sc. (Eng.), Professor, Professor of the Chair Telecommunications, Media and Intelligent Technologies, e-mail: [boiko\\_julius@ukr.net](mailto:boiko_julius@ukr.net); ORCID: <https://orcid.org/0000-0003-0603-7827>